

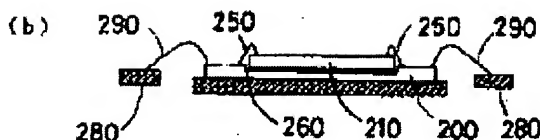
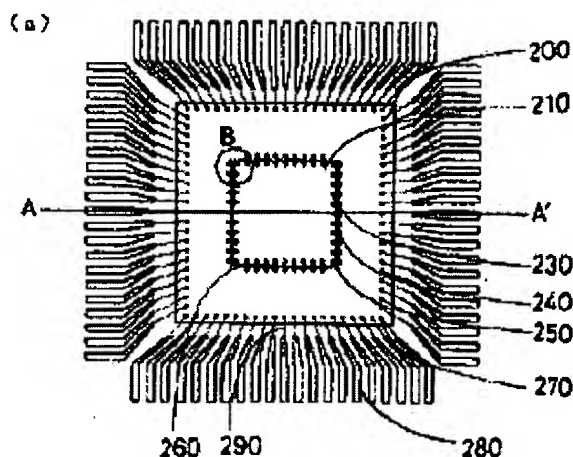
## SEMICONDUCTOR DEVICE

**Patent number:** JP2003282818  
**Publication date:** 2003-10-03  
**Inventor:** SHISHIDO KATSUHIKO; ISHIYAMA YASUHIRO  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
 - international: H01L25/065; H01L25/07; H01L25/18  
 - european:  
**Application number:** JP20020087894 20020327  
**Priority number(s):**

### Abstract of JP2003282818

**PROBLEM TO BE SOLVED:** To protect a master chip against contamination caused by the diffusion of an adhesive agent and to prevent a reduction in manufacturing yield due to the contamination.

**SOLUTION:** A second semiconductor chip (slave chip) 210 is physically bonded on the first semiconductor chip (master chip) through the intermediary of the adhesive agent, and internal connection pads 230 and 240 are wire-bonded and electrically connected for the formation of a semiconductor device. A recess 260 which is capable of keeping the adhesive agent is provided on the surface of the first semiconductor chip 200, where the second semiconductor chip 210 is pasted so as to prevent from diffusing the excess adhesive agent produced when the first semiconductor chip 200 and the second semiconductor chip 210 are bonded together. By this setup, the excess adhesive agent is effectively introduced into the recess 260, so that the internal connection pads 240 or the internal connection wires 250 can be protected against contamination caused by the excess adhesive agent.



200 親チップ (第1の半導体チップ)  
 210 子チップ (第2の半導体チップ)  
 230 内部接続用パッド  
 240 内部接続用パッド  
 250 内部接続用ワイヤ  
 260 凹部

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282818

(P2003-282818A)

(43) 公開日 平成15年10月3日 (2003.10.3)

(51) Int. Cl.	識別記号	F I	ページ (参考)
H 0 1 L 25/065 25/07 25/18		H 0 1 L 25/08	Z

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2002-87894 (P2002-87894)

(22) 出願日 平成14年3月27日 (2002.3.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 穴戸 勝彦

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 石山 裕浩

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100076174

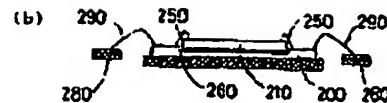
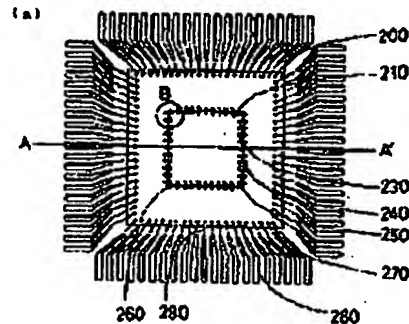
弁理士 富井 啓夫

(54) 発明の名称 半導体装置

(57) 要約

【課題】 接着剤の拡散による親チップの汚染防止と、それに伴う歩留まり低下を防ぐ。

【解決手段】 第一の半導体チップ（親チップ）200上に、接着剤を介して第二の半導体チップ（子チップ）210が、物理的に貼り合わせられ、内部接続用パッド230、240がワイヤボンディングされ、電気的に接続されている半導体装置であって、第一の半導体チップ200と第二の半導体チップ210を貼り合わせる際に生じる余剰な接着剤の拡散を防止するために、第二の半導体チップ210が貼り合わされる第一の半導体チップ200の表面に接着剤を収容可能な凹部260を設けた。これにより、余剰な接着剤を効果的に凹部260に逃がすことができ、余剰な接着剤による第一の半導体チップ200の内部接続用パッド240、あるいは内部接続用のワイヤ250が汚染されるのを防ぐ。



200 親チップ（第一の半導体チップ）  
210 子チップ（第二の半導体チップ）  
230 内部接続用パッド  
240 内部接続用パッド  
250 内部接続用ワイヤ  
260 凹部

## 【特許請求の範囲】

【請求項1】 第一の半導体チップ上に、接着剤を介して第二の半導体チップが、物理的に貼り合わせられ、前記第一の半導体チップ上に配置された内部接続用パッドと、前記第二の半導体チップ上に配置された内部接続用パッドとがワイヤボンディングされ、電気的に接続されている半導体装置であって、前記第一の半導体チップと前記第二の半導体チップを貼り合わせる際に生じる余剰な接着剤の拡散を防止するために、前記第二の半導体チップが貼り合わされる前記第一の半導体チップの表面に接着剤を収容可能な凹部を設けたことを特徴とする半導体装置。

【請求項2】 第二の半導体チップの裏面が凹状に形成されている請求項1記載の半導体装置。

【請求項3】 凹部が周辺から中央にかけて深くなるように傾斜を持たせた請求項1記載の半導体装置。

【請求項4】 凹部の周辺が中央に比べて深く、中央は平らになっている請求項1記載の半導体装置。

【請求項5】 第二の半導体チップの周縁部が面取りされている請求項1記載の半導体装置。

【請求項6】 凹部のコーナ部に横断面が円弧状のスペースが凹設されている請求項1記載の半導体装置。

【請求項7】 凹部および第二の半導体チップが真円形である請求項1記載の半導体装置。

【請求項8】 凹部および第二の半導体チップが楕円形である請求項1記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特にSIP(System In Package)を用いたシステムLSIのような多機能な半導体装置に関する。

【0002】

【従来の技術】半導体技術の進歩により、従来ボード上で実現していたシステムを一つの半導体チップ上で実現するシステムLSIが主流となってきている。システムLSIではチップ上にDRAMやFLASHメモリなどを搭載することが多い。しかしながら、この高密度なメモリがロジック部の微細化に比べ微細化のスピードが遅く、また渡越プロセスの開発が長期間かつ非常に困難であるといった問題がでてきている。

【0003】こうした状況の中で、複数の半導体チップを一つのパッケージに封止することでシステムLSIを実現するSIP技術が注目されてきている。SIP技術においては、その形態により大きく2種類に分けることができる。一つ目は、ベースとなる半導体チップ（以下、親チップ）表面に、貼り合わせられるチップ（以下、子チップ）の表面を向い合わせ、ハンパを用いて実装する方法である。これは、子チップが下向きになるため、フェイスダウン方式と呼ばれている。二つ目は、親チップ上に子チップの裏面を接合する方法である。それ

ぞれのチップは、直接、あるいはリードを介してワイヤにより接続される。これは、子チップが上向きのため、フェイスアップ方式と呼ばれている構成である。

【0004】

【発明が解決しようとする課題】SIPの目的は、開発期間の短縮や実装面積率の向上、低コスト化である。しかし、現段階では、親チップの面積に対する子チップの面積、内部接続用パッドサイズなど制約条件も多い。そのため、内部接続用のパッド数が制限される、或いは子チップの面積に律速して親チップの面積を無駄に大きくするなどの弊害が生じる。

【0005】また、親チップと子チップを接続するワイヤが長いと、ノイズの影響を受ける、或いは制御信号に遅延が起り、期待するアクセススピードが得られない。図10は親チップ上に接着剤を介して子チップが貼り合わされている半導体装置を示している。親チップ100上に設けられた内部接続用パッド130と子チップ110の内部接続用パッド120を出来る限り近づけることで、ノイズの影響、或いは遅延の影響を最小限に留めることが出来るが、貼り合わせる際に生じる余剰な接着剤150が拡散することによって親チップ100上に設けられた内部接続用パッド130が汚染される、或いは内部接続用ワイヤ140に接着剤150が付着し、歩留まり低下を引き起こす。

【0006】したがって、この発明の目的は、上記のような従来のSIPにおける問題点を解消するもので、接着剤の拡散による親チップの汚染防止と、それに伴う歩留まり低下を防ぐことができる半導体装置を提供することである。

【0007】

【課題を解決するための手段】上記課題を解決するために、この発明の請求項1記載の半導体装置は、第一の半導体チップ上に、接着剤を介して第二の半導体チップが、物理的に貼り合わせられ、前記第一の半導体チップ上に配置された内部接続用パッドと、前記第二の半導体チップ上に配置された内部接続用パッドとがワイヤボンディングされ、電気的に接続されている半導体装置であって、前記第一の半導体チップと前記第二の半導体チップを貼り合わせる際に生じる余剰な接着剤の拡散を防止するために、前記第二の半導体チップが貼り合わされる前記第一の半導体チップの表面に接着剤を収容可能な凹部を設けた。

【0008】このように、第一の半導体チップと第二の半導体チップを貼り合わせる際に生じる余剰な接着剤の拡散を防止するために、第二の半導体チップが貼り合わされる第一の半導体チップの表面に接着剤を収容可能な凹部を設けたので、余剰な接着剤を効果的に凹部に逃がすことができ、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐことができる。また、これに伴い第二

の半導体チップを第一の半導体チップ上に設けられた内部接続用パッド付近まで配置することが可能になり、第一の半導体チップ上の第二の半導体チップの裏面積率が向上する。

【0009】請求項2記載の半導体装置は、請求項1記載の半導体装置において、第二の半導体チップの裏面が凹状に形成されている。このように、第二の半導体チップの裏面が凹状に形成されているので、第二の半導体チップの裏面にも接着剤が収容される空間が形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0010】請求項3記載の半導体装置は、請求項1記載の半導体装置において、凹部が周辺から中央にかけて深くなるように傾斜を持たせた。このように、凹部が周辺から中央にかけて深くなるように傾斜を持たせたので、第二の半導体チップの裏面と凹部との間に接着剤が収容される空間が深く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0011】請求項4記載の半導体装置は、請求項1記載の半導体装置において、凹部の周辺が中央に比べて深く、中央は平らになっている。このように、凹部の周辺が中央に比べて深く、中央は平らになっているので、第二の半導体チップの裏面の周辺と凹部の周辺との間に接着剤が収容される空間が深く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。また、凹部の中央が平らになっていることにより、相互の半導体チップの貼り合わせを安定させることができる。

【0012】請求項5記載の半導体装置は、請求項1記載の半導体装置において、第二の半導体チップの周縁部が面取りされている。このように、第二の半導体チップの周縁部が面取りされているので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐことができるとともに、内部接続用のワイヤをワイヤボンディングする際に第二の半導体チップの周縁部に対するワイヤの衝撃を緩和する作用効果を併せ持つ。

【0013】請求項6記載の半導体装置は、請求項1記載の半導体装置において、凹部のコーナ部に横断面が円弧状のスペースが凹設されている。このように、凹部のコーナ部に横断面が円弧状のスペースが凹設されているので、この円弧状のスペースにより接着剤が収容される空間が広く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0014】請求項7記載の半導体装置は、請求項1記

載の半導体装置において、凹部および第二の半導体チップが真円形である。このように、凹部および第二の半導体チップが真円形であるので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0015】請求項8記載の半導体装置は、請求項1記載の半導体装置において、凹部および第二の半導体チップが楕円形である。このように、凹部および第二の半導体チップが楕円形であるので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0016】

【発明の実施の形態】この発明の第1の実施の形態を図1および図2に基づいて説明する。図1(a)はこの発明の第1の実施の形態の半導体装置の平面図で、親チップ200上に接着剤220を介して子チップ210を貼り合わせたものを真上から見た図である。図1(b)は(a)をA-A'方向に切った際の断面図、図2は図1(a)のB部拡大図である。

【0017】図1に示すように、この半導体装置は、フェイスアップ方式によるSIPであり、第一の半導体チップ(以下、親チップ)200上に、接着剤220を介して第二の半導体チップ(以下、子チップ)210が、物理的に貼り合わせられ、親チップ200上に配置された内部接続用パッド230と、子チップ210上に配置された内部接続用パッド240とがワイヤボンディングされ、電気的に接続されている。このように親チップ200上に子チップ210を配置する構成において、親チップ200上に余剰な接着剤220の拡散を防止するための溝(凹部)260を配置した。

【0018】すなわち、親チップ200と子チップ210を貼り合わせる際に生じる余剰な接着剤220の拡散を防止するために、接着剤220を収容可能な凹部260を設けている。この凹部260は子チップ210が貼り合わされる位置に相当する親チップ200の表面に設けた凹状の窪みであり、余剰な接着剤220を効果的に逃がすことができる。

【0019】この場合、親チップ200上に設けられた内部接続用パッド240と前記子チップ210上に設けられた内部接続用パッド230が、内部接続用ワイヤ250によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ200上に設けられた外部接続用パッド270とリードフレーム280が外部接続用ワイヤ290によってワイヤボンディングされており、電気的に接続されている。

【0020】以上の構成からなるフェイスアップ方式の半導体装置において、前記子チップ210が貼り合わされる位置に相当する前記親チップ200の表面を凹状に加工し、余剰な接着剤220を逃がす凹部260を設けることで前記親チップ200と前記子チップ210を均

一な圧力をかけて貼り合わせることが出来、はみ出した接着剤220は前記凹部260が吸収する。よって前記親チップ200上に設けられた内部接続用パッド240と内部接続用ワイヤ250に接着剤220の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。また、前記子チップ210を前記親チップ200上に設けられた内部接続用パッド230付近まで配置することが可能になり、親チップ200上の子チップ210の実装面積を増やす効果を併せ持つ。

【0021】この発明の第2の実施の形態を図3に基づいて説明する。この半導体装置の平面図は第1の実施の形態の図1(a)と同様である。図3は、図1(a)のA-A'方向に相当する断面図を示している。

【0022】図3に示すように、親チップ300上に子チップ301が接着剤によって貼り合わされており、前記親チップ300と前記子チップ301が内部接続用ワイヤ303によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ300とリードフレーム305が外部接続用ワイヤ304によってワイヤボンディングされており、電気的に接続されてい

る。

【0023】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ301が貼り合わされる位置に相当する前記親チップ300の表面を凹状に加工し、余剰な接着剤を逃がす凹部302を設けることで前記親チップ300と前記子チップ301を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記凹部302が吸収する。また、子チップ301の裏面が凹状に形成されている。

【0024】よって前記親チップ300上に設けられた内部接続用パッドと内部接続用ワイヤ303に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。更に、前記子チップ301の裏面が凹状に加工されていることで、子チップ301の裏面にも接着剤が収容される空間が形成され、より大きな効果が期待できる。また、前記子チップ301を前記親チップ300上に設けられた内部接続用パッド付近まで配置することが可能になり、親チップ300上の子チップ301の実装面積を増やす効果を併せ持つ。その他の構成は、第1の実施の形態と同様である。

【0025】この発明の第3の実施の形態を図4に基づいて説明する。この半導体装置の平面図は第1の実施の形態の図1(a)と同様である。図4は、図1(a)のA-A'方向に相当する断面図を示している。

【0026】図4に示すように、親チップ310上に子チップ311が接着剤によって貼り合わされており、前記親チップ310と前記子チップ311が内部接続用ワイヤ313によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ310とリードフレーム315が外部接続用ワイヤ314によって

ワイヤボンディングされており、電気的に接続されている。

【0027】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ311が貼り合わされる位置に相当する前記親チップ310の表面を凹状に加工し、余剰な接着剤を逃がす凹部312を設けることで前記親チップ310と前記子チップ311を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記凹部312が吸収する。また、凹部312が周辺から中央にかけて深くなるように傾斜を持たせている。

【0028】よって前記親チップ310上に設けられた内部接続用パッドと内部接続用ワイヤ313に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。更に、親チップ310上の凹部312の周辺から中央にかけて傾斜を持たせることで、子チップ311の裏面と凹部312との間に接着剤が収容される空間が深く形成され、より大きな効果が期待できる。また、前記子チップ311を前記親チップ310上に設けられた内部接続用パッド付近まで配置することが可能になり、親チップ310上の子チップ311の実装面積を増やす効果を併せ持つ。その他の構成は、第1の実施の形態と同様である。

【0029】この発明の第4の実施の形態を図5に基づいて説明する。この半導体装置の平面図は第1の実施の形態の図1(a)と同様である。図5は、図1(a)のA-A'方向に相当する断面図を示している。

【0030】図5に示すように、親チップ320上に子チップ321が接着剤によって貼り合わされており、前記親チップ320と前記子チップ321が内部接続用ワイヤ323によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ320とリードフレーム325が外部接続用ワイヤ324によってワイヤボンディングされており、電気的に接続されている。

【0031】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ321が貼り合わされる位置に相当する前記親チップ320の表面を凹状に加工し、余剰な接着剤を逃がす凹部322を設けることで前記親チップ320と前記子チップ321を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記凹部322が吸収する。また、凹部322の周辺が中央に比べて深く、中央は平らになっている。

【0032】よって前記親チップ320上に設けられた内部接続用パッドと内部接続用ワイヤ323に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。更に、親チップ320上の凹部322の周辺を中心部より深くし、中央は貼り合わせを安定させるため平らにすることで、子チップ321の裏面の周辺と凹部322の周辺との間に接着剤が収容される空間が深く形成され、より大きな効果が期待でき

る、また、前記子チップ321を前記親チップ320上に設けられた内部接続用パッド付近まで配置することが可能になり、親チップ320上の子チップ321の実装面積を増やす効果を併せ持つ。その他の構成は、第1の実施の形態と同様である。

【0033】この発明の第5の実施の形態を図6に基づいて説明する。この半導体装置の平面図は第1の実施の形態の図1(a)と同様である。図6は、図1(a)のA-A'方向に相当する断面図を示している。

【0034】図6に示すように、親チップ330上に子チップ331が接着剤によって貼り合わされており、前記親チップ330と前記子チップ331は内部接続用ワイヤ333によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ330とリードフレーム335が外部接続用ワイヤ334によってワイヤボンディングされており、電気的に接続されている。

【0035】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ331が貼り合わされる位置に相当する前記親チップ330の表面を凹状に加工し、余剰な接着剤を逃がす溝332を設けることで前記親チップ330と前記子チップ331を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記溝332が吸収する。また、子チップ331の周縁部である四辺が面取りされている。

【0036】よって前記親チップ330上に設けられた内部接続用パッドと内部接続用ワイヤ333に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。更に、前記子チップ331の四辺を面取り加工することで、ワイヤボンディングの際にかかる衝撃を緩和することにもつながる。また、前記子チップ331を前記親チップ330上に設けられた内部接続用パッド付近まで配置することが可能になり、親チップ330上の子チップ331の実装面積を増やす効果を併せ持つ。その他の構成は、第1の実施の形態と同様である。

【0037】この発明の第6の実施の形態を図7に基づいて説明する。図7(a)はこの発明の第6の実施の形態の半導体装置の平面図。(b)はそのB部拡大図である。

【0038】図7に示すように、親チップ400上に子チップ410が接着剤420を介して貼り合わされている半導体装置において、前記親チップ400上に設けられた内部接続用パッド440と前記子チップ410上に設けられた内部接続用パッド430が、内部接続用ワイヤ450によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ400上に設けられた外部接続用パッド470とリードフレーム480が外部接続用ワイヤ490によってワイヤボンディングされており、電気的に接続されている。

【0039】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ410が貼り合わされる位置に相当する前記親チップ400の表面を凹状に加工し、余剰な接着剤420を逃がす凹部460を設けることで前記親チップ400と前記子チップ410を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤420は前記凹部460が吸収する。また、凹部460のコーナ部(頂点)に横断面が円弧状のスペース460aが形成されている。

【0040】よって前記親チップ400上に設けられた内部接続用パッド440と内部接続用ワイヤ450に接着剤420の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。更に、親チップ400上の凹部460の頂点を丸くすることで形成された円弧状のスペース460aにより接着剤が収容される空間が広く形成され、より大きな効果が期待できる。また、前記子チップ410を前記親チップ400上に設けられた内部接続用パッド440付近まで配置することが可能になり、親チップ400上の子チップ410の実装面積を増やす効果を併せ持つ。

【0041】この発明の第7の実施の形態を図8に基づいて説明する。図8はこの発明の第7の実施の形態の半導体装置の平面図である。

【0042】図8に示すように、親チップ500上に子チップ501が接着剤によって貼り合わされている半導体装置において、前記親チップ500上に設けられた内部接続用パッド503と前記子チップ501上に設けられた内部接続用パッド502が、内部接続用ワイヤ504によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ500上に設けられた外部接続用パッド506とリードフレーム507が外部接続用ワイヤ508によってワイヤボンディングされており、電気的に接続されている。

【0043】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ501が貼り合わされる位置に相当する前記親チップ500の表面を凹状に加工し、余剰な接着剤を逃がす凹部505を設けることで前記親チップ500と前記子チップ501を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記凹部505が吸収する。また、前記凹部505を真円形にし、前記子チップ501を真円形に加工することで、より大きな効果が期待できる。すなわち前記親チップ500上に設けられた内部接続用パッド503と内部接続用ワイヤ504に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。また、前記子チップ501を前記親チップ500上に設けられた内部接続用パッド503付近まで配置することが可能になる。

【0044】この発明の第8の実施の形態を図9に基づいて説明する。図9はこの発明の第8の実施の形態の半

導体装置の平面図である。

【0045】図9に示すように、親チップ510上に子チップ511が接着剤によって貼り合わされている半導体装置において、前記親チップ510上に設けられた内部接続用パッド513と前記子チップ511上に設けられた内部接続用パッド512が、内部接続用ワイヤ514によってワイヤボンディングされており、電気的に接続されている。更に、前記親チップ510上に設けられた外部接続用パッド516とリードフレーム517が外部接続用ワイヤ518によってワイヤボンディングされており、電気的に接続されている。

【0046】以上の構成からなるフェイスアップ方法の半導体装置において、前記子チップ511が貼り合わされる位置に相当する前記親チップ510の表面を凹状に加工し、余剰な接着剤を逃がす凹部515を設けることで前記親チップ510と前記子チップ511を均一な圧力をかけて貼り合わせることが出来、はみ出した接着剤は前記凹部515が吸収する。また、前記凹部515を楕円形にし、前記子チップ511を楕円形に加工することで、より大きな効果が見込める。すなわち前記親チップ510上に設けられた内部接続用パッド513と内部接続用ワイヤ514に接着剤の付着を防止することが出来、貼り合わせによる歩留まり低下を防ぐことが出来る。また、前記子チップ511を前記親チップ510上に設けられた内部接続用パッド513付近まで配置することが可能になる。

【0047】

【発明の効果】この発明の請求項1記載の半導体装置によれば、第一の半導体チップと第二の半導体チップを貼り合わせる際に生じる余剰な接着剤の拡散を防止するために、第二の半導体チップが貼り合わされる第一の半導体チップの表面に接着剤を収容可能な凹部を設けたので、余剰な接着剤を効果的に凹部に逃がすことができ、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐことができる。また、これに伴い第二の半導体チップを第一の半導体チップ上に設けられた内部接続用パッド付近まで配置することが可能になり、第一の半導体チップ上の第二の半導体チップの実装面積率が向上する。

【0048】請求項2では、第二の半導体チップの表面が凹状に形成されているので、第二の半導体チップの表面にも接着剤が収容される空間が形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0049】請求項3では、凹部が周辺から中央にかけて深くなるように傾斜を持たせたので、第二の半導体チップの表面と凹部との間に接着剤が収容される空間が深く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染

されるのを防ぐ作用効果が向上する。

【0050】請求項4では、凹部の周辺が中央に比べて深く、中央は平らになっているので、第二の半導体チップの表面の周辺と凹部の周辺との間に接着剤が収容される空間が深く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。また、凹部の中央が平らになっていることにより、半導体チップの貼り合わせを安定させることができる。

【0051】請求項5では、第二の半導体チップの周縁部が面取りされているので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐことができるとともに、内部接続用のワイヤをワイヤボンディングする際に第二の半導体チップの周縁部に対するワイヤの衝撃を緩和する作用効果を併せ持つ。

【0052】請求項6では、凹部のコーナ部に横断面が円弧状のスペースが凹設されているので、この円弧状のスペースにより接着剤が収容される空間が広く形成され、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0053】請求項7では、凹部および第二の半導体チップが真円形であるので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【0054】請求項8では、凹部および第二の半導体チップが楕円形であるので、余剰な接着剤による第一の半導体チップの内部接続用パッド、あるいは内部接続用のワイヤが汚染されるのを防ぐ作用効果が向上する。

【図面の簡単な説明】

【図1】(a)はこの発明の第1の実施の形態の半導体装置の平面図、(b)は(a)をA-A'方向に切った際の断面図である。

【図2】図1(a)のB部拡大図である。

【図3】この発明の第2の実施の形態の半導体装置の断面図である。

【図4】この発明の第3の実施の形態の半導体装置の断面図である。

【図5】この発明の第4の実施の形態の半導体装置の断面図である。

【図6】この発明の第5の実施の形態の半導体装置の断面図である。

【図7】(a)はこの発明の第6の実施の形態の半導体装置の平面図、(b)はそのB部拡大図である。

【図8】この発明の第7の実施の形態の半導体装置の平面図である。

【図9】この発明の第8の実施の形態の半導体装置の平面図である。

【図10】(a)は従来例の半導体装置の平面図、



(b) はそのB部拡大図である。

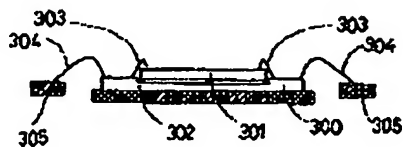
【符号の説明】

100 親チップ  
110 子チップ  
120 内部接続用パッド  
130 内部接続用パッド  
140 内部接続用ワイヤ  
150 接合剤  
200 親チップ (第一の半導体チップ)  
210 子チップ (第二の半導体チップ)  
220 接合剤  
230 内部接続用パッド  
240 内部接続用パッド  
250 内部接続用ワイヤ  
260 凹部  
270 外部接続用パッド  
280 リードフレーム  
290 外部接続用ワイヤ  
300 親チップ  
301 子チップ  
302 凹部  
303 内部接続用ワイヤ  
304 外部接続用ワイヤ  
305 リードフレーム  
310 親チップ  
311 子チップ  
312 凹部  
313 内部接続用ワイヤ  
314 外部接続用ワイヤ  
315 リードフレーム  
320 親チップ  
321 子チップ  
322 凹部  
323 内部接続用ワイヤ  
324 外部接続用ワイヤ  
325 リードフレーム

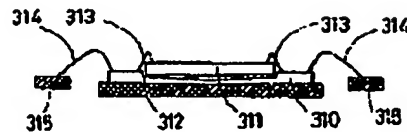
\* 330 親チップ  
331 子チップ  
332 凹部  
333 内部接続用ワイヤ  
334 外部接続用ワイヤ  
335 リードフレーム  
400 親チップ  
410 子チップ  
420 接合剤  
430 内部接続用パッド  
440 内部接続用パッド  
450 内部接続用ワイヤ  
460 凹部  
460a 円弧状のスペース  
470 外部接続用パッド  
480 リードフレーム  
490 外部接続用ワイヤ  
500 親チップ  
501 子チップ  
502 内部接続用パッド  
503 内部接続用パッド  
504 内部接続用ワイヤ  
505 凹部  
506 外部接続用パッド  
507 リードフレーム  
508 外部接続用ワイヤ  
510 親チップ  
511 子チップ  
512 内部接続用パッド  
513 内部接続用パッド  
514 内部接続用ワイヤ  
515 凹部  
516 外部接続用パッド  
517 リードフレーム  
518 外部接続用ワイヤ

\*

【図3】

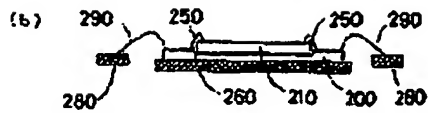
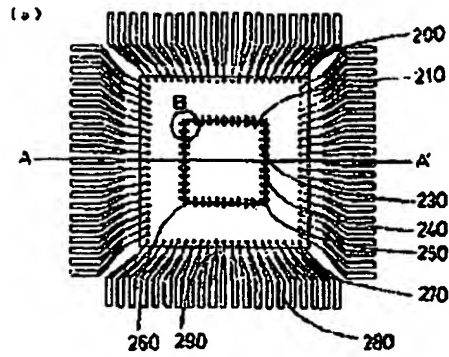


【図4】



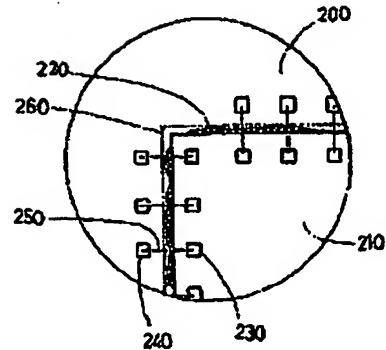


【図1】



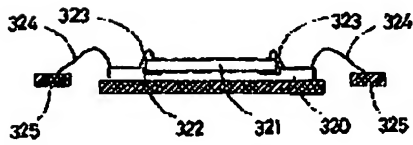
200 芯チップ (電 導 体 半 導 体 チップ)  
 210 ナチップ (絶 縁 半 導 体 チップ)  
 230 内部接続用パッド  
 240 内部接続用パッド  
 250 内部接続用パッド  
 260 PLS

【図2】

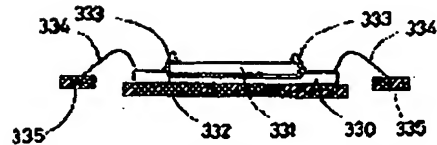


220 芯チップ

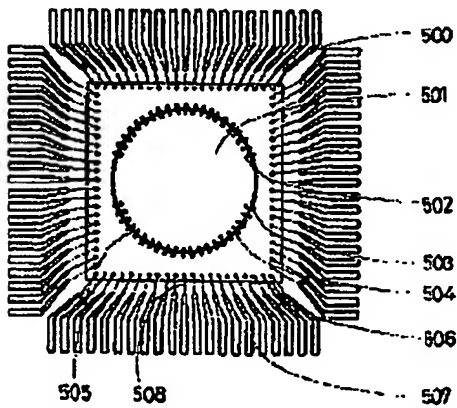
【図5】



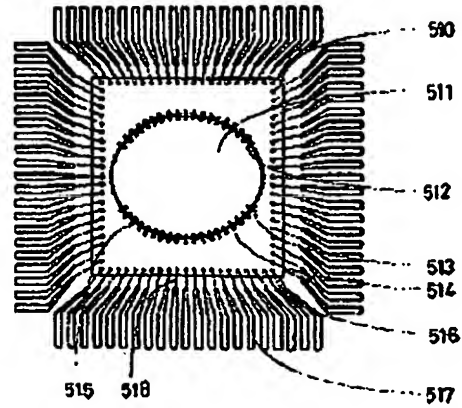
【図6】



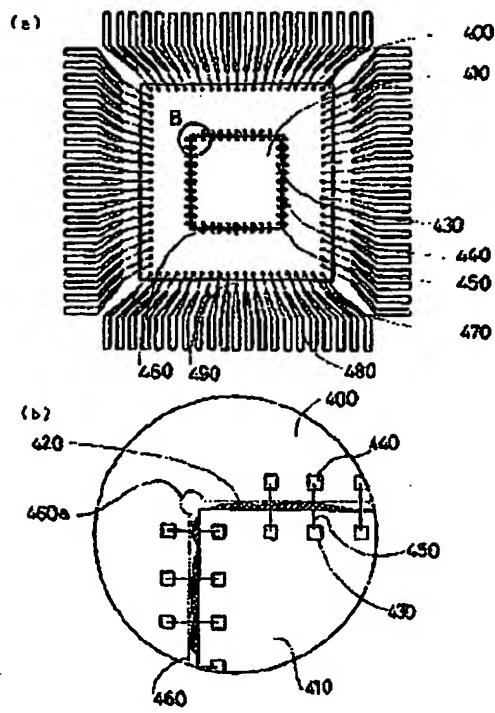
【図8】



【図9】



【図7】



【図10】

